

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Hiroshi OTANI
SERIAL NO: NEW APPLICATION
FILED: HEREWITH
FOR: SEMICONDUCTOR DEVICE

GAU:
EXAMINER:

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed

- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-197506	July 16, 2003

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- ☐ (B) Application Serial No.(s)
☐ are submitted herewith
☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.


Marvin J. Spivak

Registration No. 24,913

James D. Hamilton
Registration No. 28,421

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 7 月 1 6 日
Date of Application:

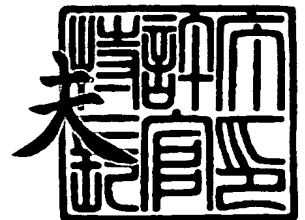
出 願 番 号 特 願 2 0 0 3 - 1 9 7 5 0 6
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 1 9 7 5 0 6]

出 願 人 三 菱 電 機 株 式 会 社
Applicant(s):

2 0 0 3 年 1 0 月 3 1 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 9 0 7 3 0

【書類名】 特許願

【整理番号】 546196JP01

【提出日】 平成15年 7月16日

【あて先】 特許庁長官殿

【国際特許分類】 G01P 15/125

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目 2 番 3 号 三菱電機株式会
社内

【氏名】 大谷 浩

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100089233

【弁理士】

【氏名又は名称】 吉田 茂明

【選任した代理人】

【識別番号】 100088672

【弁理士】

【氏名又は名称】 吉竹 英俊

【選任した代理人】

【識別番号】 100088845

【弁理士】

【氏名又は名称】 有田 貴弘

【手数料の表示】

【予納台帳番号】 012852

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 複数のスルーホールが形成された上基板と、
下基板と、
前記上基板と前記下基板との間に挟まれて固定電極及び可変電極を形成するとともに、前記スルーホールに望んで電位を取り出すための電位取り出し部がそれぞれ形成された複数の半導体基板と
を備え、

複数の前記半導体基板のうちの一の半導体基板が、前記上基板と前記下基板との間に挟まれた領域の周縁を囲むよう外周枠状に形成され、

複数の前記半導体基板のうちの他の半導体基板が、外周枠状に形成された前記一の半導体基板の内周で取り囲まれるように配置され、

前記一の半導体基板の前記電位取り出し部が隅部に形成され、且つ当該電位取り出し部を含めた当該一の半導体基板の前記隅部の面積が、前記他の半導体基板の前記電位取り出し部の面積とほぼ同等またはそれ以下に設定された、半導体装置。

【請求項 2】 請求項 1 に記載の半導体装置であって、

前記各半導体基板の前記電位取り出し部からそれぞれ前記各スルーホールを通じて前記上基板に引き回された電位をボンディングワイヤに引き出すために前記上基板の表面に形成された複数のボンディングパッド部をさらに備える、半導体装置。

【請求項 3】 請求項 1 または請求項 2 に記載の半導体装置であって、
前記電位取り出し部が周縁部上に配設された、半導体装置。

【請求項 4】 請求項 1 ないし請求項 3 のいずれかに記載の半導体装置であって、

前記上基板の表面上で、接地電位を含む所定の固定電圧に固定されて他の物質の近接や静電気等や電波障害等の外乱から前記各半導体基板をシールドするための導電層が形成された、半導体装置。

【請求項 5】 請求項 1 ないし請求項 4 のいずれかに記載の半導体装置であって、

前記一の半導体基板が、接地電位を含む所定の固定電位に固定された、半導体装置。

【請求項 6】 請求項 4 に記載の半導体装置であって、

前記一の半導体基板が、接地電位を含む所定の固定電位に固定され、

前記導電層が、前記一の半導体基板に接続されることで、前記固定電位に固定される、半導体装置。

【請求項 7】 請求項 1 ないし請求項 6 のいずれかに記載の半導体装置であって、

前記下基板の裏面が、所定の導電部材を介して導電性のダイパッド上にダイボンディングされた、半導体装置。

【請求項 8】 請求項 1 ないし請求項 7 のいずれかに記載の半導体装置であって、

前記上基板の表面に、信号処理用の半導体素子が積層して搭載され、

前記上基板の表面に接合される前記半導体素子の基板が、接地電位を含む所定の固定電位に固定された、半導体装置。

【請求項 9】 請求項 2 に記載の半導体装置であって、

前記上基板の表面上に、前記各スルーホールから前記各ボンディングパッド部までを接続するよう配線された配線層と、

当該配線層が配線された前記上基板の表面上を覆う絶縁膜と、

前記絶縁膜の上層に形成され、接地電位を含む所定の固定電圧に固定されて、他の物質の近接や静電気等や電波障害等の外乱から前記各半導体基板及び前記配線層をシールドする導電層とをさらに備える半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、加速度センサ、角速度センサ及び静電アクチュエータ等に使用さ

れる半導体装置に関する。

【0002】

【従来の技術】

従来、慣性力センサ、加速度センサ、角速度センサ及び静電アクチュエータ等において、例えば後述の特許文献1～特許文献3のように、可動子と固定子とを近接して離間配置し、可動子の変位した際の固定子との間に生じる静電容量の変化を検出することが行われている。

【0003】

この場合の可動子としては、ガラスーシリコンーガラスの3層構造にてシリコンマイクロ構造体を形成し、その各構成部の電位を一方のガラスのスルーホールから取り出した構成の半導体装置が使用される。

【0004】

【特許文献1】

特開平05-340961号公報

【特許文献2】

特開平10-104265号公報

【特許文献3】

特開平05-142252号公報

【0005】

【発明が解決しようとする課題】

従来、シリコンで形成された各構成部の電位の取り出しについては、一方のガラスにスルーホールを形成し、このスルーホールを通じて電極パッドを露出させ、この電極パッドに対してワイヤボンディングしていた。

【0006】

しかしながら、このような電極取り出し構造では、スルーホールのサイズとしてボンディングツール（キャピラリ）が入る大きさが必要となり、チップサイズを小さくするのに限界がある、という問題があった。

【0007】

そこで、この発明の課題は、チップサイズの小型化が可能となる半導体装置を



提供することにある。

【0008】

また、一般に、シリコンマイクロ構造体で形成された容量は 0.5 pF 程度であるのに対して、慣性力や加速度等に応じた静電容量の変化量は $1/10$ 程度であり、非常に小さな静電容量を検出する必要がある。一方、このシリコンマイクロ構造体に他の物質が近づくと、マイクロ構造体で形成された容量の電気力線が変化し、慣性力や加速度等とは無関係に静電容量の値が変化してしまう問題があった。さらに、静電気等の電荷の影響や電波障害等の外乱の影響についても同様に静電容量の変化が生じて同様の問題が発生する。したがって、慣性力や加速度等を精度良く測定することが困難となるおそれがあった。

【0009】

そこで、この発明の課題は、外乱の影響による静電容量の変化が少ない半導体装置を提供することにもある。

【0010】

【課題を解決するための手段】

上記課題を解決すべく、この発明は、複数のスルーホールが形成された上基板と、下基板と、前記上基板と前記下基板との間に挟まれて固定電極及び可変電極を形成するとともに、前記スルーホールに望んで電位を取り出すための電位取り出し部がそれぞれ形成された複数の半導体基板と前記各半導体基板の前記電位取り出し部からそれぞれ前記各スルーホールを通じて前記上基板に引き回された電位をボンディングワイヤに引き出すために前記上基板の表面に形成された複数のボンディングパッド部とを備え、複数の前記半導体基板のうちの一の半導体基板が、前記上基板と前記下基板との間に挟まれた領域の周縁を囲むよう外周枠状に形成され、複数の前記半導体基板のうちの他の半導体基板が、外周枠状に形成された前記一の半導体基板の内周で取り囲まれるように配置され、前記一の半導体基板の前記電位取り出し部が隅部に形成され、且つ当該電位取り出し部を含めた当該一の半導体基板の前記隅部の面積が、前記他の半導体基板の前記電位取り出し部の面積とほぼ同等またはそれ以下に設定される。

【0011】

また、前記上基板の表面上などで、接地電位を含む所定の固定電圧に固定されて他の物質の近接や静電気等や電波障害等の外乱から前記各半導体基板をシールドするための導電層等が形成される。

【0012】

【発明の実施の形態】

実施の形態 1.

図1は後述の各実施の形態の基本的構成に関連する実施の形態1としての半導体装置（マイクロ構造体）を示す平面図、図2は同じくそのマイクロ構造体を示す側面視断面図、図3はマイクロ構造体の上基板を省略した状態を示す平面図、図4は図3のA-A断面図、図5は図3のB-B断面図である。

【0013】

このマイクロ構造体は、慣性力センサ、加速度センサ、角速度センサ及び静電アクチュエータ等を使用されるシリコンマイクロ構造体であって、図1～図5の如く、上側のガラス板（以下「上基板」と称す）1と、シリコン体で構成される半導体基板3、5、7、9と、下側のガラス板（以下「下基板」と称す）11とが積層された3層構造からなり、その各構成部中の半導体基板3、5、7、9の電位を、上基板1の一部に穿設されたスルーホール13、15、17、19を通じて上基板1の表面上の各ボンディングパッド部21までそれぞれ引き回した構成とされている。

【0014】

上基板1及び下基板11は、同面積の板状のガラス体が使用され、この上基板1及び下基板11によって複数の半導体基板3、5、7、9を挟み込むように配置される。このうち、上基板1の所定の箇所には、上述のようにスルーホール13、15、17、19が穿設されている。かかるスルーホール13、15、17、19は、例えば上基板1に一直線状に設定された電位取り出し領域23に一行に形成される。

【0015】

半導体基板3、5、7、9のうち、第1の半導体基板3は、平面視四角形状のマイクロ構造体の4辺を囲むよう外周枠状に形成された外周枠部をなすものであ

り、接地（GND）電位に固定されており、且つ両ガラス板 1， 11 に対して変位しない固定電極として形成される。このように、外周枠部となる第 1 の半導体基板 3 が固定電極とされることにより、側面方向の帯電を防止することができるものである。

【0016】

また、この第 1 の半導体基板 3 の一隅部であって、電位取り出し領域 23 に属する位置には、平面視して所定の面積を有する矩形等の電位取り出し部 31 が、平面視内側に突出するように形成されている。この電位取り出し部 31 の面積は、図 3 のように、後述の他の半導体基板 5， 7， 9 の電位取り出し部 36a， 36b， 40 とほぼ同面積に設定される。

【0017】

また、第 2 及び第 3 の半導体基板 5， 7 は、いずれも第 1 の半導体基板 3 に対して非接触とされて、この外周枠状に形成された第 1 の半導体基板 3 の内周で取り囲まれるように配置されており、それぞれ両ガラス板 1， 11 に対して固定される固定電極である。第 2 及び第 3 の半導体基板 5， 7 は、外周枠部としての第 1 の半導体基板 3 の内側に沿って配線される基片 33 と、この基片 33 から平面視内側に向けられて第 4 の半導体基板 9 との間に発生する静電容量の変化に感应するための平面視略櫛歯状の固定側容量感应子 35 とが形成されている。そして、第 2 及び第 3 の半導体基板 5， 7 の端部であって電位取り出し領域 23 に属する位置には、平面視して所定の面積を有する矩形等の電位取り出し部 36a， 36b が形成されている。

【0018】

さらに、第 4 の半導体基板 9 は、両ガラス板 1， 11 に対して変位可能とされる可変電極であり、外周枠状に形成された第 1 の半導体基板 3 の内周で取り囲まれるように配置されており、平面視中央部に配置される幹線部 37 と、この幹線部 37 から平面視両側に突出して第 2 及び第 3 の半導体基板 5， 7 の固定側容量感应子 35 との間に発生する静電容量の変化に感应するための可変側容量感应子 39 とが形成されている。そして、第 4 の半導体基板 9 の端部であって電位取り出し領域 23 に属する位置には、平面視して所定の面積を有する矩形等の電位取

り出し部 40 が形成されている。

【0019】

ボンディングパッド部 21 は、図 1 の如く、電位取り出し領域 23 に隣接し且つ上基板 1 の平面視端部に設定された結線領域（電位取り出し部）41 において、4箇所 に一列にそれぞれ配置されており、図 1 及び図 2 の如く、スルーホール 13, 15, 17, 19 を埋めるように塗布形成された配線層 43 の一部 45 が上基板 1 で延設されてボンディングパッド部 21 に接続されることで、各スルーホール 13, 15, 17, 19 の各直下の電位取り出し部 31, 36a, 36b, 40 とボンディングパッド部 21 とが電氣的に接続される。尚、ボンディングパッド部 21 と配線層 43 とは、同一の金属ペーストまたはハンダ等で同時に形成される。

【0020】

この実施の形態のマイクロ構造体は、上述のように各半導体基板 3, 5, 7, 9 の各スルーホール 13, 15, 17, 19 の各直下の電位取り出し部 31, 36a, 36b, 40 から、配線層 43 にて上基板 1 上のボンディングパッド部 21 まで引き出しているもので、図 2 の如く、上基板 1 の上面のボンディングパッド部 21 上でボンディングワイヤ 47 を結線することで、各半導体基板 3, 5, 7, 9 に係る電氣的な取り出しを行うことができる。尚、符号 48 は ASIC 等の半導体集積回路を示している。

【0021】

ここで、上記のように上基板 1 上のボンディングパッド部 21 にボンディングワイヤ 47 を結線した本実施の形態のマイクロ構造体（図 2）と、ボンディングパッド部 21 を形成せずにスルーホール 13, 15, 17, 19 直下の電位取り出し部 31, 36a, 36b, 40 に直接ボンディングワイヤ 47 を結線する場合（図 6 及び図 7）とを比較してみると、図 6 及び図 7 の場合はスルーホール 13, 15, 17, 19 のサイズとしてボンディングワイヤ 47 を結線するためのボンディングツール（キャピラリ：図示省略）が入る大きさが必要となり、チップサイズを小さくするのに限界があるが、図 2 に示したこの実施の形態では、上基板 1 の上面でボンディングツール（キャピラリ）を操作してボンディングワイ

ヤ 47 を結線できる。したがって、電位取り出し部 31, 36a, 36b, 40 の径 (図 2 中の L1) を図 6 及び図 7 の場合 (L2) よりも小さく設定することができ、よってチップサイズを小型化することができる。

【0022】

即ち、第 1 の半導体基板 3 の電位取り出し部 31 がこの半導体装置 (マイクロ構造体) の隅部に形成され、且つ当該電位取り出し部 31 を含めた当該第 1 の半導体基板 3 の隅部の面積が、他の半導体基板 5, 7, 9 の電位取り出し部 36a, 36b, 40 の面積とほぼ同等に設定されているので、チップサイズを小型化することができる。

【0023】

尚、この実施の形態では、電位取り出し部 31 を含めた当該第 1 の半導体基板 3 の隅部の面積が、他の半導体基板 5, 7, 9 の電位取り出し部 36a, 36b, 40 の面積とほぼ同等に設定されているが、このことは、隅部の面積の大小関係が同一であることを含む以外に、隅部の面積の大小関係が完全に同一であることを含む以外に、電位取り出し部 31 を含めた当該第 1 の半導体基板 3 の隅部の面積が、他の半導体基板 5, 7, 9 の電位取り出し部 36a, 36b, 40 の面積よりも若干だけ大きい場合も含む。

【0024】

また、電位取り出し部 31 を含めた当該第 1 の半導体基板 3 の隅部の面積が、他の半導体基板 5, 7, 9 の電位取り出し部 36a, 36b, 40 の面積よりも小さい場合も同等の効果が得られる。

【0025】

実施の形態 2.

図 8 はこの発明の実施の形態 2 に係る半導体装置 (マイクロ構造体) の上基板を省略した状態を示す平面図である。なお、図 8 では実施の形態 1 と同様の機能を有する要素については同一符号を付している。

【0026】

この実施の形態のマイクロ構造体は、図 8 の如く、その基本的な構成が実施の形態 1 のマイクロ構造体と共通しており、外周枠部となる第 1 の半導体基板 (シ

リコン体) 3 の電位取り出し部 3 1 が、マイクロ構造体の一直線状に設定された電位取り出し領域 2 3 内の隅部に形成されている。

【0027】

ここで、実施の形態 1 では、この電位取り出し部 3 1 が、外周枠部である第 1 の半導体基板 3 の枠部から平面視内側に突出するように形成され、特にその突出した電位取り出し部 3 1 の面積が、図 3 のように、他の半導体基板（シリコン体）5, 7, 9 の電位取り出し部 3 6 a, 3 6 b, 4 0 とほぼ同面積であったため、この電位取り出し部 3 1 を含めた第 1 の半導体基板 3 の隅部の面積は、他の半導体基板 5, 7, 9 の電位取り出し部 3 1 より大きくなっていた。

【0028】

これに対して、この実施の形態では、外周枠状に形成された外周枠部としての第 1 の半導体基板 3 から電位取り出し部 3 1 として内側に突出した部分の面積を、他の半導体基板 5, 7, 9 の電位取り出し部 3 6 a, 3 6 b, 4 0 より小さく設定し、これにより、電位取り出し部 3 1 を含めた第 1 の半導体基板 3 の隅部の面積を他の半導体基板 5, 7, 9 の電位取り出し部 3 6 a, 3 6 b, 4 0 とほぼ同面積に設定している。

【0029】

この図 8 のように、第 1 の半導体基板 3 の一隅部に電位取り出し部 3 1 を形成し、この電位取り出し部 3 1 を含めた第 1 の半導体基板 3 の一隅部の面積を、他の半導体基板 5, 7, 9 の電位取り出し部 3 6 a, 3 6 b, 4 0 とほぼ同面積に設定しているので、例えば図 9 のように第 1 の半導体基板 3 の隅部を除く中間位置に電位取り出し部 3 1 を形成する場合に比べて、チップサイズを小型化できる。

【0030】

具体的には、このマイクロ構造体の端部位置から 2 番目の電位取り出し領域までの距離 L_3 (図 8), L_4 (図 9) を考える。図 9 においてはマイクロ構造体の隅部付近に第 2 の半導体基板 5 の電位取り出し部 3 6 a が位置しているため、この電位取り出し部 3 6 a と第 1 の半導体基板 3 とを離間配置する必要がある。このため、このマイクロ構造体の端部位置から 2 番目の電位取り出し部 3 1 を含

めた長さはL4となる。これに対して、図8においては、第1の半導体基板3の一隅部に電位取り出し部31を引き込むように形成し、この電位取り出し部31を含めた第1の半導体基板3の一隅部の面積を、他の半導体基板5, 7, 9の電位取り出し部36a, 36b, 40とほぼ同面積に設定しているので、このマイクロ構造体の端部位置から2番目の電位取り出し部36aを含めた長さはL4より小さいL3となる。したがって、この実施の形態によると、実施の形態2よりもさらにチップサイズを小型化することができる。

【0031】

実施の形態3.

図10はこの発明の実施の形態3に係る半導体装置（マイクロ構造体）の上基板を省略した状態を示す平面図である。なお、図10では実施の形態1及び実施の形態2と同様の機能を有する要素については同一符号を付している。

【0032】

上述の実施の形態2では、外周枠部となる第1の半導体基板（シリコン体）3の電位取り出し部31を、マイクロ構造体の一直線状に設定された電位取り出し領域23内の隅部に形成されていたのに対して、この実施の形態3では、外周枠部となる第1の半導体基板3の電位取り出し部31を、他の半導体基板（シリコン体）5, 7, 9の電位取り出し部36a, 36b, 40に対して直線上の位置に配するのではなく、マイクロ構造体のダイシングライン上（即ちカッティングして分割するライン上）において任意の隅部に配設している。このように、第1の半導体基板3の電位取り出し部31をマイクロ構造体のダイシングライン上の隅部に跨って配設すると、ダイシングラインを切断したときには、第1の半導体基板3の電位取り出し部31はマイクロ構造体の周縁部に配設されることになる。これにより、半導体基板5, 7, 9が比較的密集している部分を避けて、その半導体基板5, 7, 9が密集していない領域に第1の半導体基板3の電位取り出し部31を配置できることから、全体として密度の平準化を行ってチップサイズを小さくできる。

【0033】

尚、かかる構成にすると、第1の半導体基板3の電位取り出し部31だけが、

他の半導体基板 5, 7, 9 の電位取り出し部 36 a, 36 b, 40 よりも離れた位置に孤立して配置されるが、ボンディングワイヤ 47 を結線する複数のボンディングパッド部 21 は、その結線作業の自動化等の便宜を考慮すると、実施の形態 1 及び実施の形態 2 と同様に、図 11 のように一直線状に近接して配置することが望ましい。このため、孤立して配置された第 1 の半導体基板 3 の電位取り出し部 31 からそのボンディングパッド部 21 (21 a) までの配線層 49 を、他の半導体基板 5, 7, 9 の電位取り出し部 36 a, 36 b, 40 からそのボンディングパッド部 21 までの配線層 43 よりも長く形成する。

【0034】

また、実施の形態 2 では、第 1 の半導体基板 3 の電位取り出し部 31 を含めた当該第 1 の半導体基板 3 の一隅部の面積を、他の半導体基板 5, 7, 9 の電位取り出し部 36 a, 36 b, 40 とほぼ同面積に設定していたのに対して、この実施の形態 3 では、電位取り出し部 31 をダイシングライン上に跨って設定することで、このダイシングラインを切断した後は、電位取り出し部 31 がマイクロ構造体の周縁部に配設されることになり、この電位取り出し部 31 を含めた当該第 1 の半導体基板 3 の一隅部の面積を、他の半導体基板 5, 7, 9 の電位取り出し部 36 a, 36 b, 40 より小さく設定できる。したがって、この実施の形態によると、実施の形態 2 よりもさらにチップサイズを小型化することができる。

【0035】

尚、第 1 の半導体基板 3 の電位取り出し部 31 の位置は、図 10 に示した位置に限られるものではない。例えば、図 12 のように、マイクロ構造体のダイシングライン上に跨る位置であって、実施の形態 2 で説明した第 1 の半導体基板 3 の電位取り出し部 31 に近い位置に配置し、ただし電位取り出し部 31 の面積を、第 1 の半導体基板 3 としての外周枠部の幅だけに限定してもよい。この場合、スルーホール 13 は、第 1 の半導体基板 3 のダイシングライン上の角端部に跨ってはみ出すように形成しても差し支えない。

【0036】

あるいは、図 13 の如く、第 1 の半導体基板 3 の電位取り出し部 31 の位置を、図 10 に示した位置に近いダイシングライン上に跨るような位置に配置し、ス

ルーホール 13 を、第 1 の半導体基板 3 のダイシングラインの角端部に跨ってはみ出すように形成しても差し支えない。

【0037】

さらに、上基板 1 上の配線層 43, 49 の形状は、図 11 に示した形状に限られるものではなく、例えば図 14 のように様々な形状に配線パターン化された配線層 49 にてボンディングパッド部 21 を所望の位置に配置することが可能であることは言うまでもない。

【0038】

実施の形態 4.

図 15 はこの発明の実施の形態 4 に係る半導体装置（マイクロ構造体）を示す図である。なお、図 15 では実施の形態 1 ～実施の形態 3 と同様の機能を有する要素については同一符号を付している。

【0039】

この実施の形態のマイクロ構造体は、図 15 の如く、接地（GND）電位の第 1 の半導体基板（シリコン体）3 からボンディングパッド部 21 まで引き出した配線層 43 を、上基板 1 の表面で、電位取り出し領域 23 及び結線領域（電位取り出し部）41 以外の領域（以下「シールド領域」と称す）に導電層 51 を拡張し、上基板 1 上の導電層 51 の表面電位を接地電位に固定している。

【0040】

かかる導電層 51 を形成することにより、他の物質の近接、静電気等や電波障害等の外乱による容量変化が生じない高性能な製品を実現できる。

【0041】

尚、各配線層 43, 49 及び導電層 51 の形状は、図 15 に限定されるものではなく、例えば図 16 のようにパターン形成してもよい。

【0042】

また、導電層 51 の電位は接地（GND）電位に限られず、所定の固定電位に設定しておけばよい。

【0043】

実施の形態 5.

図 17 はこの発明の実施の形態 5 に係るマイクロ構造体を使用した半導体装置を示す側面視断面図である。なお、図 17 では実施の形態 1 ～実施の形態 4 と同様の機能を有する要素については同一符号を付している。

【0044】

この実施の形態の半導体装置は、図 17 の如く、マイクロ構造体 53 の下基板 11 の下面を、所定の導電部材 55 を介してダイパッド 57 の上面に貼り付けた（ダイボンドした）ものである。

【0045】

導電部材 55 は、銀等の金属がエポキシ樹脂等の樹脂材に混入された導電性樹脂、あるいは、ハンダまたは Au-Si 共晶性の金属等が適用される。

【0046】

ダイパッド 57 は、所定の金属材料が使用された導電板である。このダイパッド 57 の電位は、接地電位または一定の電圧に固定される。具体的には、このダイパッド 57 の電位は、図 18 に示したようなインナーリード 59 を通じて外部リード 61 または ASIC 等の半導体素子 63 等に接続される。

【0047】

尚、符号 60 はエポキシ樹脂等の絶縁性樹脂で形成された絶縁モールド体を示している。

【0048】

このようにすることで、マイクロ構造体 53 を絶縁体を用いてダイパッド 57 にダイボンドする場合に比べて、マイクロ構造体 53 の下面側において、他の物質の近接、静電気等や電波障害等の外乱による容量変化が生じない高性能な製品を実現できる。

【0049】

また、図 17 の如く、隣接して配置される半導体素子 63 の裏面にも、同等の導電部材 55 でメタライズを施すことで、マイクロ構造体 53 の下基板 11 の下面のダイパッド 57 における電位を、半導体素子 63 の基板の下面の電位と同じにすることが可能となる。したがって、半導体素子 63 とともに、他の物質の近接、静電気等や電波障害等の外乱による容量変化が生じない高性能な製品を実現

できる。

【0050】

尚、図18では、ダイパッド57の電位をインナーリード59で外部に引き出していたが、その他に図19の如く、ダイパッド57の所定の位置にボンディングワイヤ65を結線し、このボンディングワイヤ65を通じてダイパッド57の電位を外部に引き出しても差し支えない。

【0051】

実施の形態6.

図20はこの発明の実施の形態6に係るマイクロ構造体を使用した半導体装置示す図である。なお、図20では実施の形態1～実施の形態5と同様の機能を有する要素については同一符号を付している。

【0052】

この実施の形態の半導体装置は、信号処理回路用のASIC等の半導体素子71の上面にマイクロ構造体73を積層して搭載したスタック構造のものであって、半導体素子71のマイクロ構造体73を積層している表面領域に導電層75を形成し、この導電層75の上面に形成された導電部材77を介して、マイクロ構造体73をダイボンドしている。

【0053】

ここで、半導体素子71の導電層75の電位は、接地電位または一定の電圧に固定される。

【0054】

導電部材77は、銀等の金属がエポキシ樹脂等の樹脂材に混入された導電性樹脂、あるいは、ハンダまたはAu-Si共晶性の金属等が適用される。

【0055】

かかる構成により、実施の形態5と同様に、マイクロ構造体73の下基板11側において、他の物質の近接、静電気等や電波障害等の外乱による容量変化が生じない高性能な製品を実現できる。

【0056】

実施の形態7.

図 21 はこの発明の実施の形態 7 に係るマイクロ構造体を使用した半導体装置を示す図である。なお、図 21 では実施の形態 1 ～実施の形態 6 と同様の機能を有する要素については同一符号を付している。

【0057】

この実施の形態の半導体装置は、ダイパッド 57 上にマイクロ構造体 83 を搭載し、さらにマイクロ構造体 83 の上基板 1 の上面に、信号処理回路用の A S I C 等の半導体素子 81 を積層して搭載したもので、スタック構造とされ、マイクロ構造体 83 の上基板 1 が、半導体素子 81 に、導電部材 85 を介して貼り付けられている。この導電部材 87 は、銀等の金属がエポキシ樹脂等の樹脂材に混入された導電性樹脂、あるいは、ハンダまたは A u - S i 共晶性の金属等が適用される。

【0058】

そして、その半導体素子 81 の導電性の基板 85 の電位は、接地電位または一定の電圧に固定される。

【0059】

かかる構成により、マイクロ構造体 83 の下基板 11 の下面の電位を固定することが可能となり、実施の形態 5 と同様の効果を得ることができる。

【0060】

実施の形態 8.

図 22 はこの発明の実施の形態 8 に係るマイクロ構造体を示す平面図、図 23 は図 22 の C - C 断面図である。なお、図 22 及び図 23 では実施の形態 1 ～実施の形態 7 と同様の機能を有する要素については同一符号を付している。

【0061】

この実施の形態のマイクロ構造体は、実施の形態 1 ～実施の形態 3 と同様に、互いに併行に配された上基板 1 と下基板 11 との間に、それぞれ固定電極及び可変電極としての半導体基板（シリコン体）3, 5, 7, 9 が配されており、上基板 1 の一部にスルーホール 13, 15, 17, 19 が形成され、このスルーホール 13, 15, 17, 19 から上基板 1 の表面中に形成された配線層 43 を通じて、各半導体基板 3, 5, 7, 9 の電位取り出し部 31, 36 a, 36 b, 41

が上基板 1 上のボンディングパッド部 2 1 に電氣的に接続されている。

【0062】

そして、このように配線層 4 3 が形成された状態の上基板 1 のさらに上層に、絶縁膜 9 1 が形成されている。この絶縁膜 9 1 は、低温下で積層形成可能な窒化膜またはポリイミド等が使用される。

【0063】

そして、接地 (GND) 電位に固定された第 1 の半導体基板 3 からスルーホール 1 3 を通じて引き出された配線層 4 3 の中間位置に対応する位置において、絶縁膜 9 1 に配線引き出し孔 9 3 が穿設されている。この配線引き出し孔 9 3 には、銀等の金属がエポキシ樹脂等の樹脂材に混入された導電性樹脂、あるいは、ハンダまたは Au-Si 共晶性の金属等が適用された導電体 9 5 が充填塗布形成され、この導電体 9 5 によって第 1 の半導体基板 3 の電位 (接地電位) が絶縁膜 9 1 の上面側に引き出される。

【0064】

そして、絶縁膜 9 1 の上面には、上述の接地電位の導電体 9 5 に接続されて、他の物質の近接、静電気等や電波障害等の外乱による容量変化を防止する導電層 9 7 が形成される。この導電層 9 7 は、配線層 4 3 の大部分を覆う所望のシールド領域に形成される。

【0065】

かかる構成により、配線層 4 3 も含めたマイクロ構造体の上方の電位を接地電位に固定することが可能となり、他の物質の近接、静電気等や電波障害等の外乱による容量変化が生じない高性能な製品を実現できる。

【0066】

尚、この実施の形態では、第 1 の半導体基板 3 を接地電位としていることから、シールド領域に形成される導電層 9 7 も接地電位となっているが、第 1 の半導体基板 3 を接地電位以外の所定の固定電位に固定し、導電層 9 7 をその固定電位に固定しても、同様の効果を得ることは勿論である。

【0067】

実施の形態 9.

図 2 4 はこの発明の実施の形態 9 に係るマイクロ構造体を使用した半導体装置を示す側面視断面図である。なお、図 2 4 では実施の形態 5 と同様の機能を有する要素については同一符号を付している。

【 0 0 6 8 】

この実施の形態の半導体装置は、図 2 4 の如く、マイクロ構造体 5 3 の下基板 1 1 の裏面を、所定の導電部材 5 5 を介して導電性のダイパッド 5 7 の表面に貼り付けた点で、実施の形態 5 と共通している。

【 0 0 6 9 】

導電部材 5 5 は、実施の形態 5 と同様、銀等の金属がエポキシ樹脂等の樹脂材に混入された導電性樹脂、あるいは、ハンダまたは A u - S i 共晶性の金属等が適用される。

【 0 0 7 0 】

またダイパッド 5 7 も実施の形態 5 と同様に、所定の金属材料が使用された導電板であり、このダイパッド 5 7 の電位は、接地電位または一定の電圧に固定される。

【 0 0 7 1 】

尚、図 2 4 中の符号 6 3 は A S I C 等の半導体素子を示している。

【 0 0 7 2 】

そして、この実施の形態では、図 2 4 の如く、マイクロ構造体 5 3 が、図 1 7 に示した実施の形態 5 のマイクロ構造体 5 3 とは上下逆向きに設置されており、さらに、外部リード 6 1 と半導体素子 6 3 とを接続するためのボンディングワイヤ 1 0 1 等の全ての回路が、両部材 6 3, 1 0 1 の下側同士をワイヤボンディングされるなどして形成されることで、全ての回路が所謂リバースベントにて実装されている。これにより、全ての回路、マイクロ構造体 5 3 及び半導体素子 6 3 の上方が、導電性のダイパッド 5 7 によってシールドされる。

【 0 0 7 3 】

このように、接地電位または一定の電圧に固定されたダイパッド 5 7 により、上方向の他の物質の近接、静電気等や電波障害等の外乱による容量変化を防止できる。

【0074】

また、この実施の形態では、この半導体装置 102 を実装する実装基板 103 の半導体装置 102 に対向する表面に、導電層 105 を形成し、この導電層 105 により、半導体装置 102 の下方をシールドしている。この導電層 105 により、下方向の他の物質の近接、静電気等や電波障害等の外乱による容量変化を防止できる。

【0075】

これらのことから、上下両方向について他の物質の近接、静電気等や電波障害等の外乱による容量変化を防止でき、高性能な製品を実現できる。

【0076】**【発明の効果】**

この発明によれば、複数の半導体基板のうちの一の半導体基板が、上基板と下基板との間に挟まれた領域の周縁を囲むよう外周枠状に形成され、複数の半導体基板のうちの他の半導体基板が、外周枠状に形成された一の半導体基板の内周で取り囲まれるように配置され、一の半導体基板の電位取り出し部が隅部に形成され、且つ当該電位取り出し部を含めた当該一の半導体基板の隅部の面積が、他の半導体基板の電位取り出し部の面積とほぼ同等またはそれ以下に設定されているので、チップサイズを小型化することができる。

【0077】

また、上基板の表面上などにおいて、接地電位を含む所定の固定電圧に固定されて他の物質の近接や静電気等や電波障害等の外乱から各半導体基板をシールドするための導電層等が形成されるので、外乱の影響による静電容量の変化が少ない半導体装置を提供することができる。

【図面の簡単な説明】

【図1】 この発明の実施の形態 1 に係るマイクロ構造体を示す平面図である。

【図2】 この発明の実施の形態 1 に係るマイクロ構造体を示す側面視断面図である。

【図3】 この発明の実施の形態 1 に係るマイクロ構造体の上基板を省略し

た状態を示す平面図である。

【図 4】 図 3 の A-A 断面図である。

【図 5】 図 3 の B-B 断面図である。

【図 6】 スルーホール直下の電位取り出し部に直接ボンディングワイヤを結線した例を示す側面視断面図である。

【図 7】 スルーホール直下の電位取り出し部に直接ボンディングワイヤを結線した例を示す平面図である。

【図 8】 この発明の実施の形態 2 に係るマイクロ構造体の上基板を省略した状態を示す平面図である。

【図 9】 他の例において上基板を省略した状態を示す平面図である。

【図 10】 この発明の実施の形態 3 に係るマイクロ構造体の上基板を省略した状態を示す平面図である。

【図 11】 この発明の実施の形態 3 に係るマイクロ構造体を示す平面図である。

【図 12】 この発明の実施の形態 3 に係る他の例のマイクロ構造体の上基板を省略した状態を示す平面図である。

【図 13】 この発明の実施の形態 3 に係る他の例のマイクロ構造体の上基板を省略した状態を示す平面図である。

【図 14】 この発明の実施の形態 3 に係る他の例のマイクロ構造体を示す平面図である。

【図 15】 この発明の実施の形態 4 に係るマイクロ構造体を示す平面図である。

【図 16】 この発明の実施の形態 4 に係るマイクロ構造体の他の例を示す平面図である。

【図 17】 この発明の実施の形態 5 に係る半導体装置を示す側面視断面図である。

【図 18】 この発明の実施の形態 5 に係る半導体装置を示す平面図である。

【図 19】 この発明の実施の形態 5 に係る半導体装置の他の例を示す平面

図である。

【図 20】 この発明の実施の形態 6 に係る半導体装置を示す側面視断面図である。

【図 21】 この発明の実施の形態 7 に係る半導体装置を示す側面視断面図である。

【図 22】 この発明の実施の形態 8 に係るマイクロ構造体を示す平面図である。

【図 23】 この発明の実施の形態 8 に係るマイクロ構造体を示す側面視断面図である。

【図 24】 この発明の実施の形態 9 に係るマイクロ構造体を示す側面視断面図である。

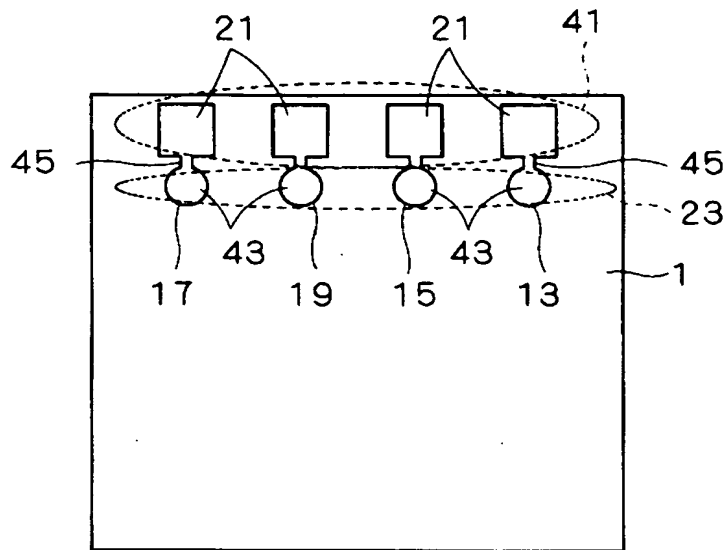
【符号の説明】

1 上基板、3, 5, 7, 9 半導体基板、11 下基板、13 スルーホール、21 ボンディングパッド部、31, 36a, 36b, 41 電位取り出し部、43 配線層、47 ボンディングワイヤ、49 配線層、51 導電層、53 マイクロ構造体、55 導電部材、57 ダイパッド、59 インナーリード、61 マイクロ構造体、61 外部リード、63 半導体素子、65 ボンディングワイヤ、71 半導体素子、73 マイクロ構造体、75 導電層、77 導電部材、81 半導体素子、83 マイクロ構造体、85 基板、87 導電部材、91 絶縁膜、95 導電体、97 導電層。

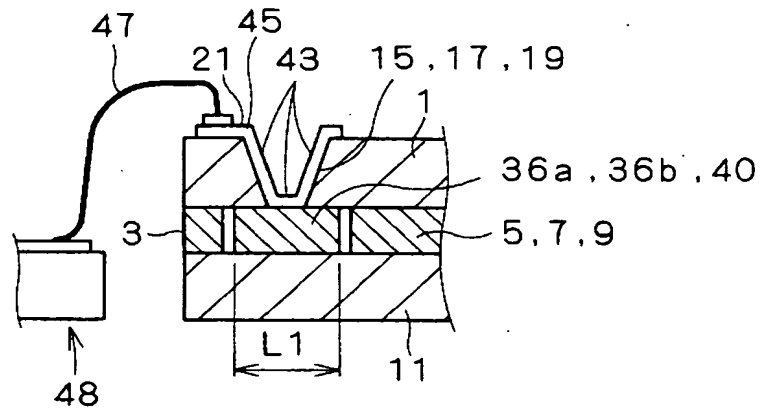
【書類名】

図面

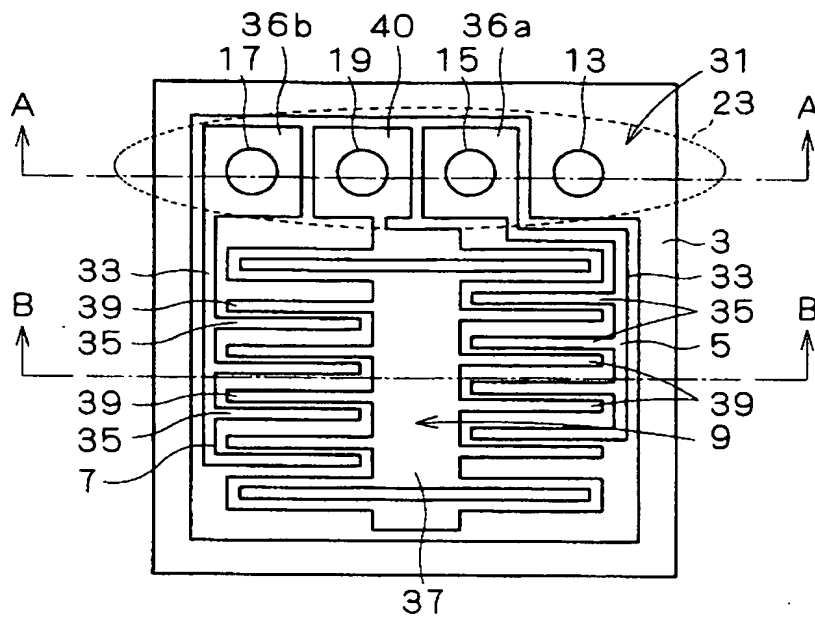
【図 1】



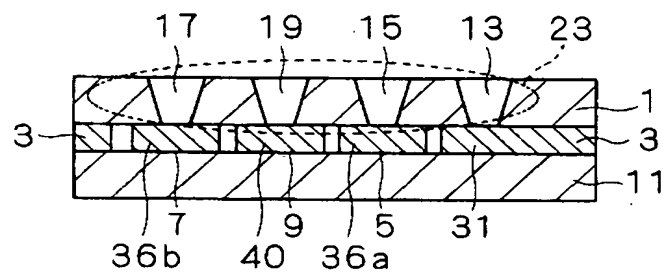
【図 2】



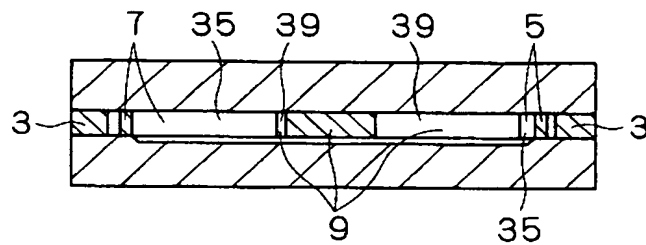
【図 3】



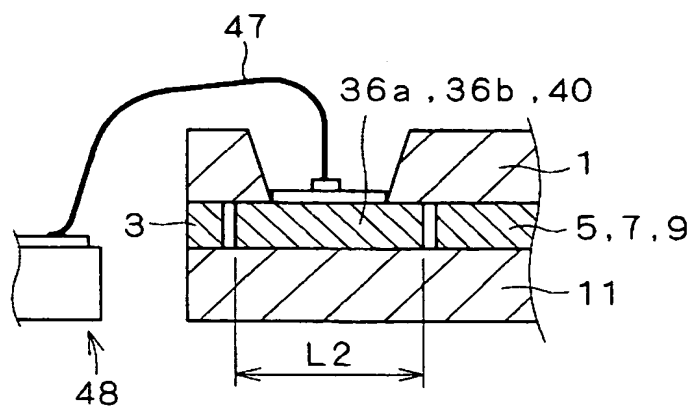
【図 4】



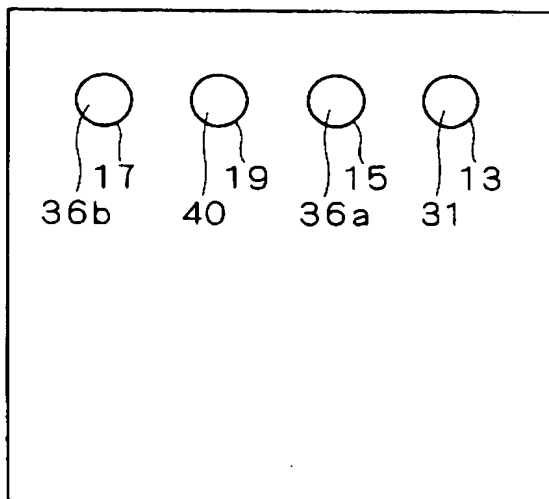
【図 5】



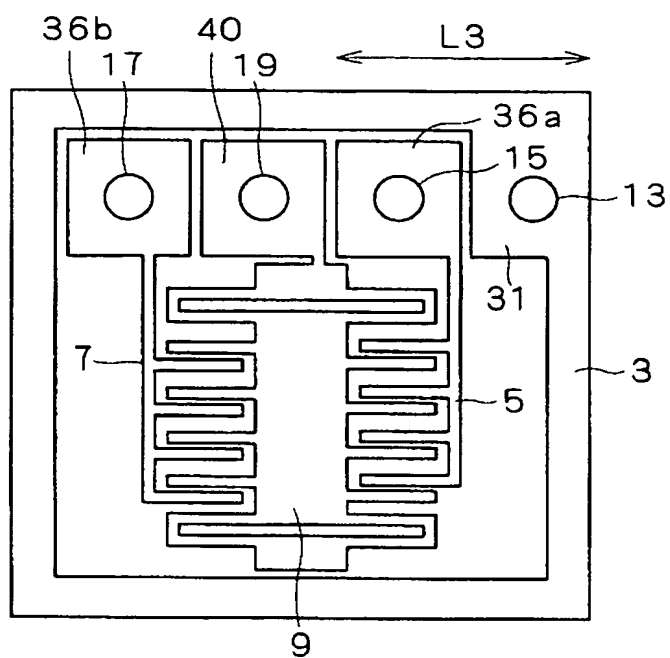
【図 6】



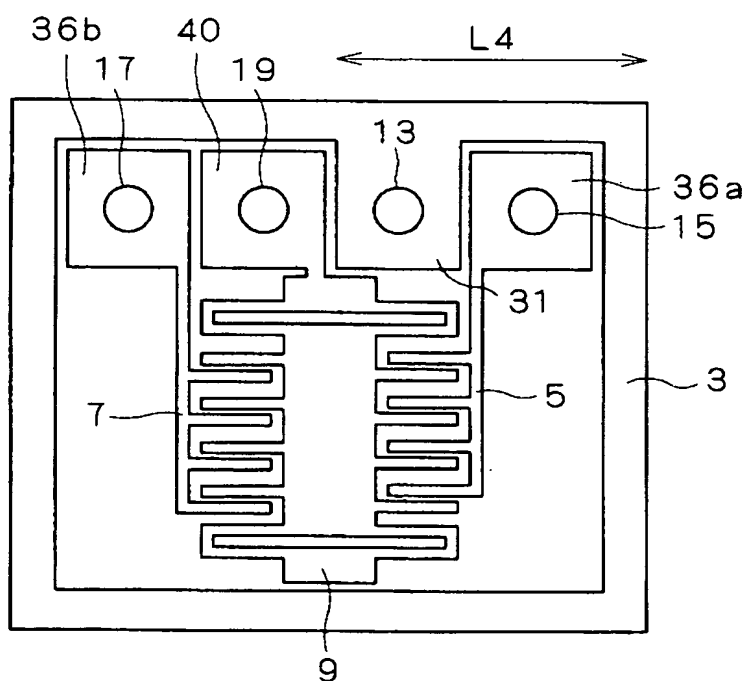
【図 7】



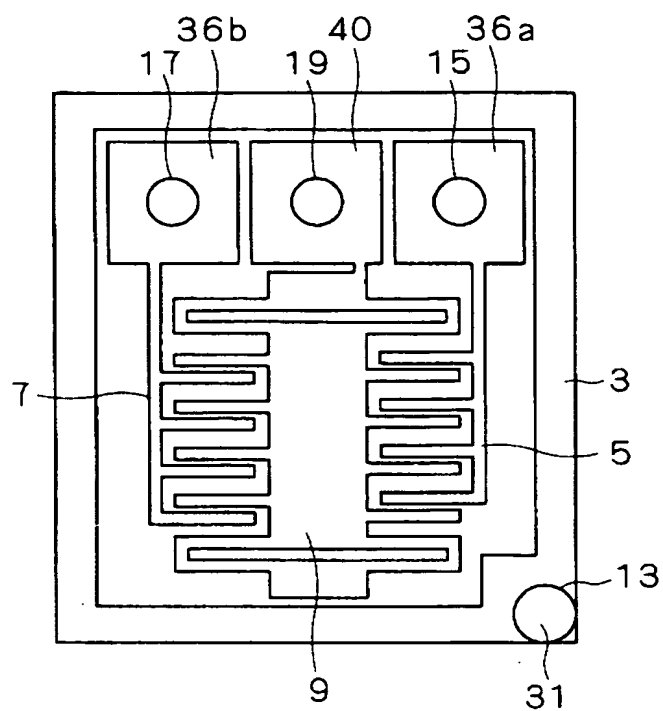
【図 8】



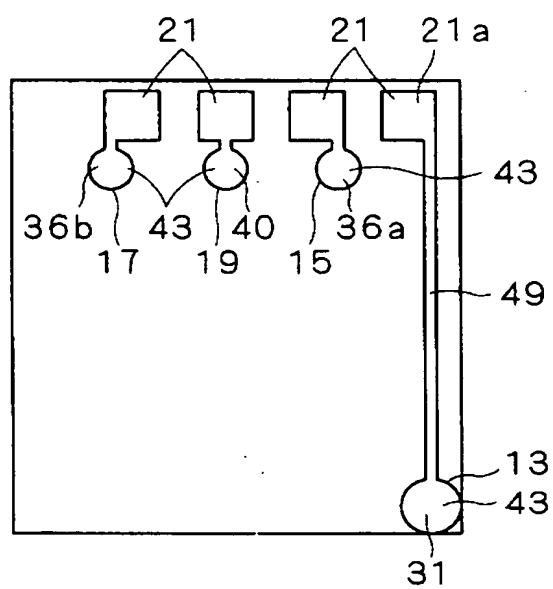
【図 9】



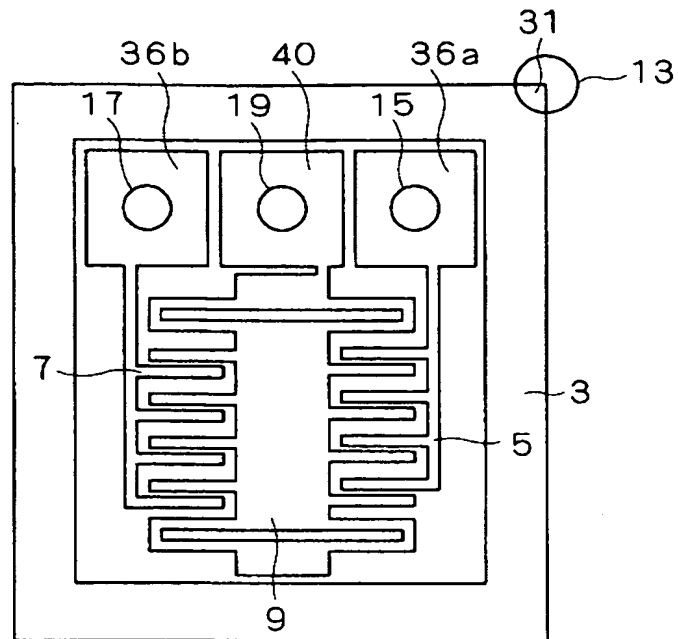
【図 10】



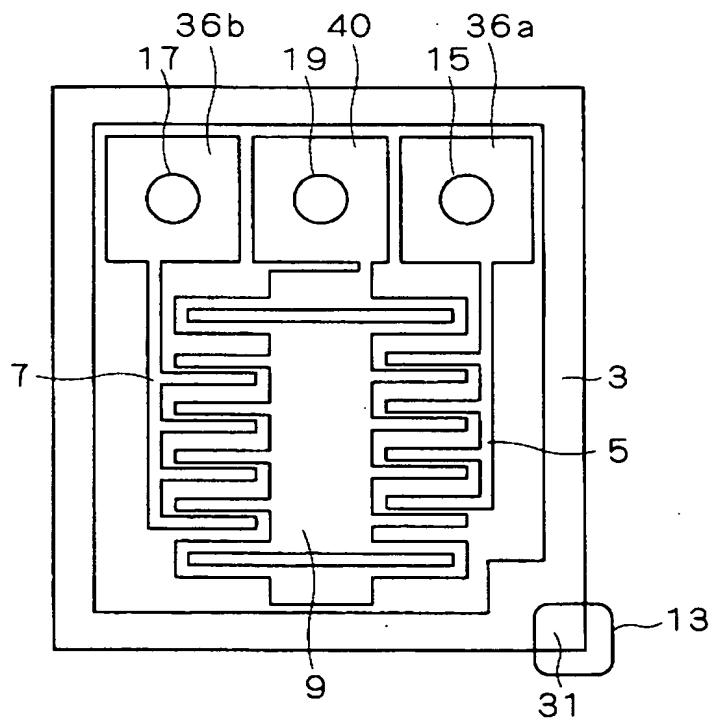
【図 11】



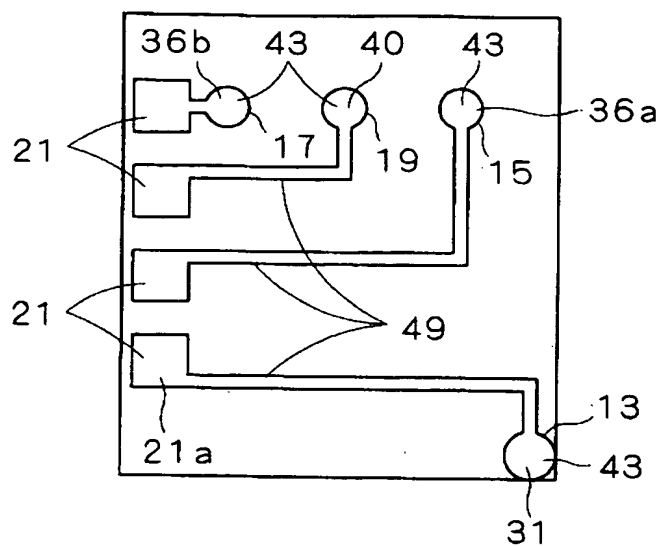
【図 12】



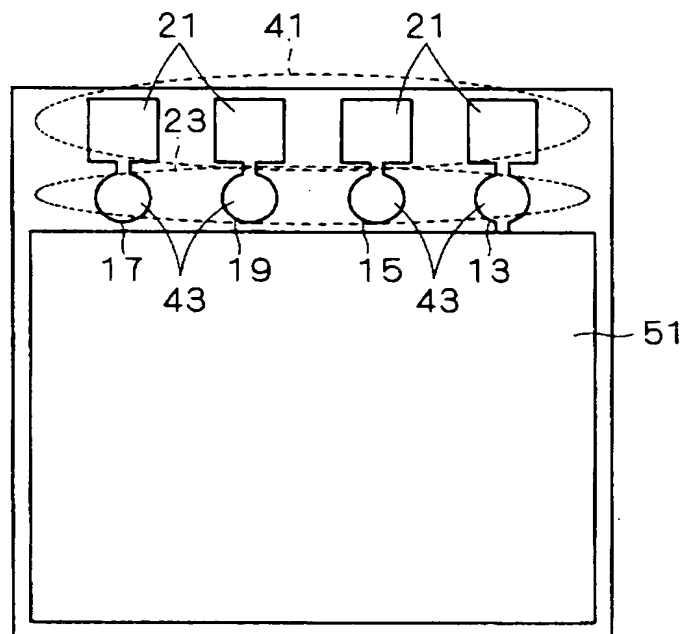
【図 13】



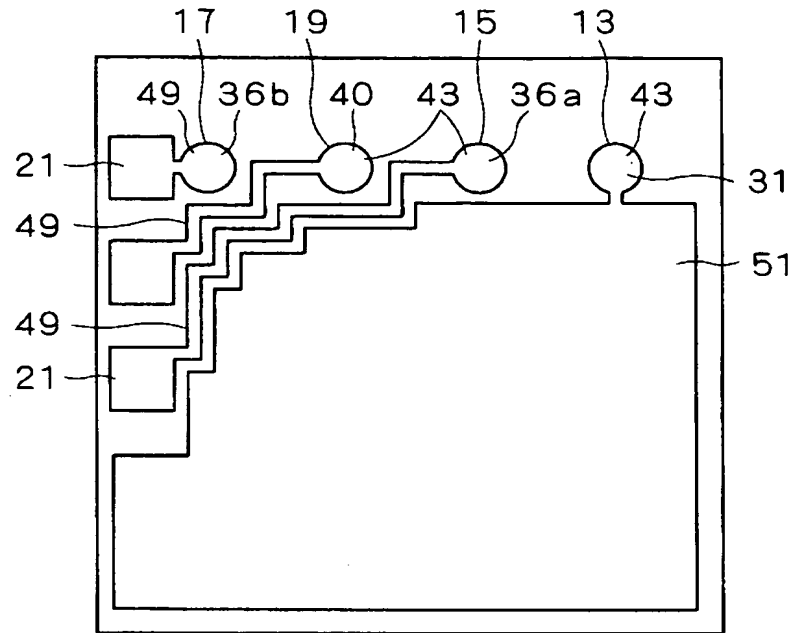
【図 14】



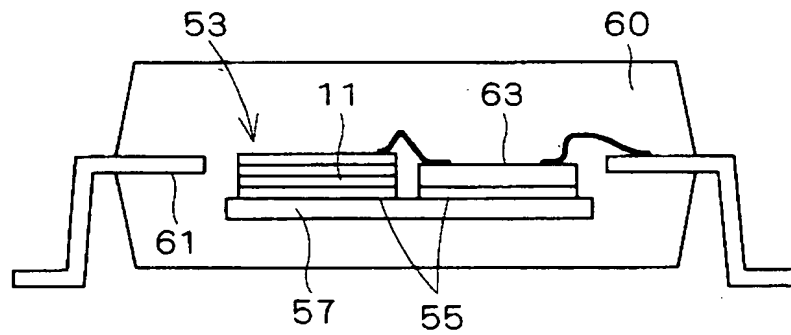
【図 15】



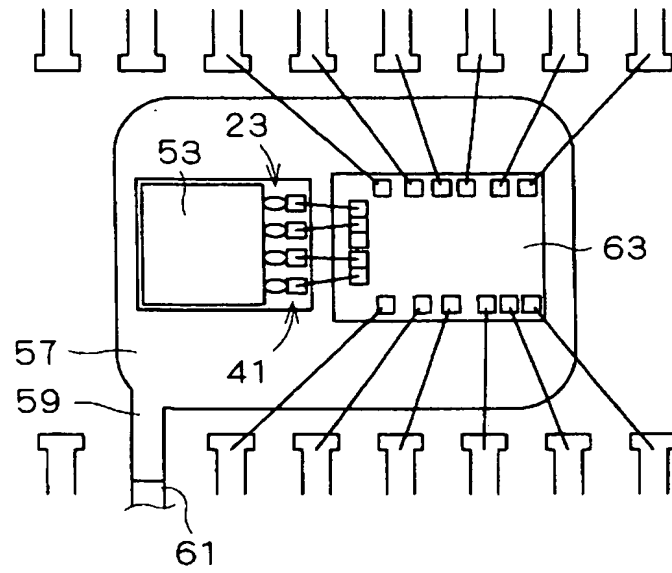
【図 16】



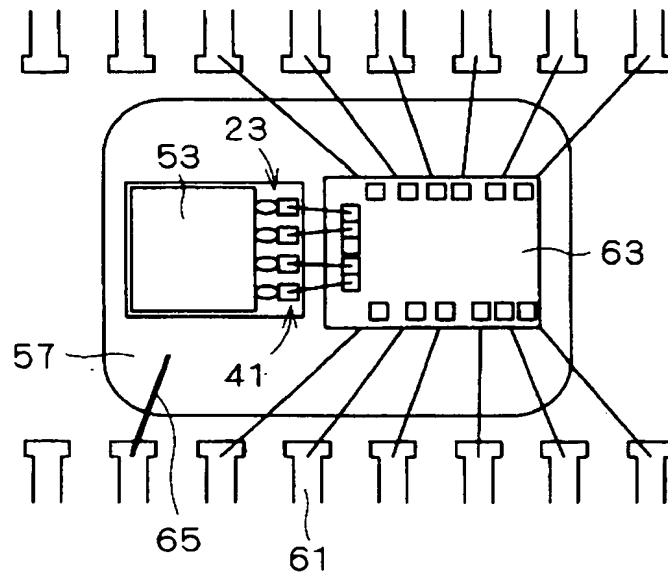
【図 17】



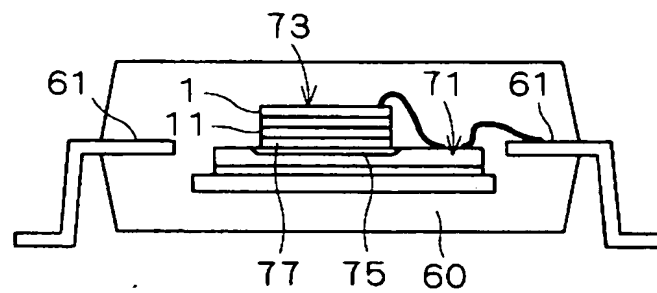
【図 18】



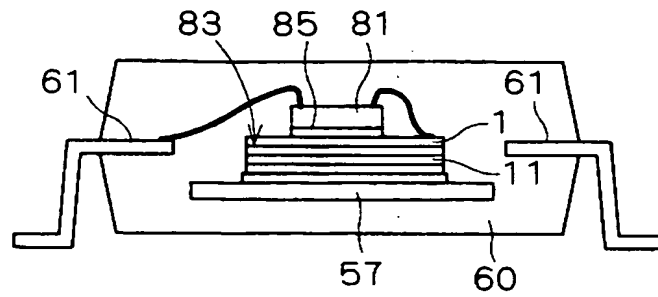
【図 19】



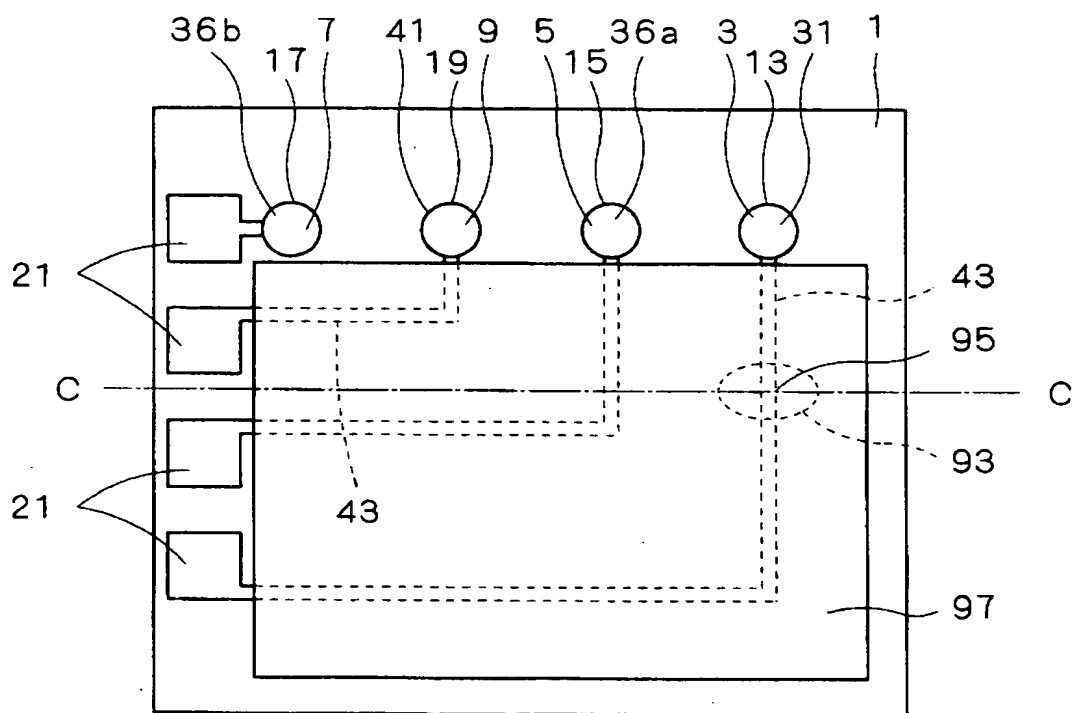
【図 20】



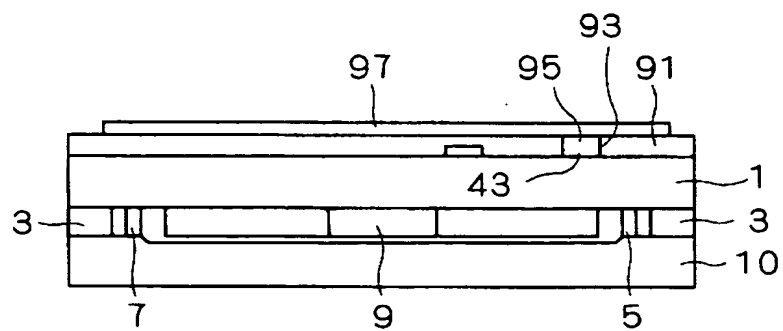
【図 2 1】



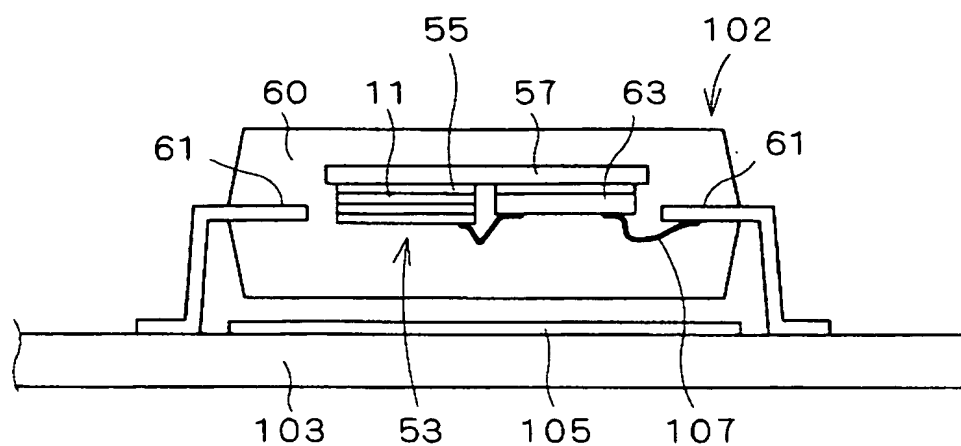
【図 2 2】



【図 2 3】



【図 24】



【書類名】 要約書

【要約】

【課題】 チップを小型化し、外乱の影響による静電容量の変化を少なくする。

【解決手段】 第 1 の半導体基板 3 を、上基板 1 と下基板 1 1 との間に挟まれた領域の周縁を囲むよう外周枠状に形成し、第 1 の半導体基板 3 の電位取り出し部 3 1 を隅部に形成し、電位取り出し部 3 1 を含めた第 1 の半導体基板 3 の隅部の面積を、他の半導体基板 5, 7, 9 の電位取り出し部 3 6 a, 3 6 b, 4 0 の面積以下に設定して、チップサイズを小型化する。上基板 1 の表面上などで導電層を形成し、この導電層を接地電位等の固定電圧に固定する。導電層等により、他の物質の近接や静電気等や電波障害等の外乱から各半導体基板をシールドする。

【選択図】 図 1

特願 2 0 0 3 - 1 9 7 5 0 6

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 6 0 1 3]

1. 変更年月日

1 9 9 0 年 8 月 2 4 日

[変更理由]

新規登録

住 所

東京都千代田区丸の内 2 丁目 2 番 3 号

氏 名

三菱電機株式会社